

JP 01-115162

1/9/1

DIALOG(R) File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

02817562 **Image available**

THIN FILM TRANSISTOR AND MANUFACTURE THEREOF

PUB. NO.: 01-115162 [J P 1115162 A]

PUBLISHED: May 08, 1989 (19890508)

INVENTOR(s): HIRAO TAKASHI

SETSUNE KENTARO

YOSHIDA TETSUHIKA

KAMATA TAKESHI

APPLICANT(s): MATSUSHITA ELECTRIC IND CO LTD [000582] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 62-271865 [JP 87271865]

FILED: October 29, 1987 (19871029)

INTL CLASS: [4] H01L-029/78; H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R044 (CHEMISTRY -- Photosensitive Resins); R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 803, Vol. 13, No. 356, Pg. 17, August 09, 1989 (19890809)

ABSTRACT

PURPOSE: To reduce any leakage current while improving the heat resistance by a method wherein the optical forbidden band width (Eg) of an amorphous semiconductor is specified to exceed 1.9 eV i.e. $E_g \geq 1.9$ eV.

CONSTITUTION: An opaque gate electrode 2 is formed and then a gate insulating film 3, an amorphous silicon carbide or amorphous silicon nitride layer 4 of $E_g \geq 1.9$ eV and a passivation insulating film 5 are successively formed on a glass substrate 1. Next, the overall surface is coated with a light sensitive resin film 6 and then the film 6 is exposed by rear side exposure process from the rear side of the glass substrate 1 to leave the same pattern as that of the gate electrode 2 for removing the passivation film 5 using the pattern as a mask. Finally, III or V group ion is implanted using the passivation film 5 as a mask to form a source/drain region. Through these procedures, any leakage current can be reduced while improving the heat resistance.

1/9/1

DIALOG(R) File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

02817562 **Image available**

THIN FILM TRANSISTOR AND MANUFACTURE THEREOF

PUB. NO.: 01-115162 JP 1115162 A]

PUBLISHED: May 08, 1989 (19890508)

INVENTOR(s): HIRAO TAKASHI
SETSUNE KENTARO
YOSHIDA TETSUHIKA
KAMATA TAKESHI

APPLICANT(s): MATSUSHITA ELECTRIC IND CO LTD [000582] (A Japanese Company
or Corporation), JP (Japan)

APPL. NO.: 62-271865 [JP 87271865]

FILED: October 29, 1987 (19871029)

INTL CLASS: [4] H01L-029/78; H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R044 (CHEMISTRY -- Photosensitive
Resins); R096 (ELECTRONIC MATERIALS -- Glass Conductors);
R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS)

JOURNAL: Section: E, Section No. 803, Vol. 13, No. 356, Pg. 17, August
09, 1989 (19890809)

ABSTRACT

PURPOSE: To reduce any leakage current while improving the heat resistance
by a method wherein the optical forbidden band width (E_g) of an amorphous
semiconductor is specified to exceed 1.9 eV i.e. $E_g \geq 1.9$ eV.

CONSTITUTION: An opaque gate electrode 2 is formed and then a gate
insulating film 3, an amorphous silicon carbide or amorphous silicon
nitride layer 4 of $E_g \geq 1.9$ eV and a passivation insulating film 5 are
successively formed on a glass substrate 1. Next, the overall surface is
coated with a light sensitive resin film 6 and then the film 6 is exposed
by rear side exposure process from the rear side of the glass substrate 1
to leave the same pattern as that of the gate electrode 2 for removing the
passivation film 5 using the pattern as a mask. Finally, III or V group ion
is implanted using the passivation film 5 as a mask to form a source-drain
region. Through these procedures, any leakage current can be reduced while
improving the heat resistance.

?

③ 日本国特許庁(JP)

④ 特許出願公開

⑤ 公開特許公報(A) 平1-115162

⑥ Int. Cl.

識別記号

庁内整理番号

⑦ 公開 平成1年(1989)5月8日

H 01 L 29/78
27/12

311

Z-7925-5F
7514-5F

審査請求 未請求 発明の数 2 (全3頁)

⑧ 発明の名称 薄膜トランジスタ及びその製造方法

⑨ 特 願 昭62-271865

⑩ 出 願 昭62(1987)10月29日

⑪ 発 明 者	平 尾 孝	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑫ 発 明 者	瀬 恒 謙 太 郎	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑬ 発 明 者	吉 田 哲 久	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑭ 発 明 者	雄 田 隆 雄	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑮ 出 願 人	松下電器産業株式会社	大阪府門真市大字門真1006番地	
⑯ 代 理 人	弁理士 星野 恒司	外1名	

明 細 書

1. 発明の名称

薄膜トランジスタ及びその製造方法

2. 特許請求の範囲

(1) シリコンを主要な構成要素とし、非晶質半導体を活性層とする薄膜トランジスタにおいて、前記半導体の光学的禁止帯幅(E_g)が $E_g=1.9\text{eV}$ 以上であることを特徴とする薄膜トランジスタ。

(2) 上記非晶質半導体材料がアモルファスシリコンカーバイド、アモルファスシリコンナイトライドのいずれかである形を特徴とする特許請求の範囲(1)項に記載の薄膜トランジスタ。

(3) ガラス基板上に、光を透過させないゲート電極を形成した後、ゲート絶縁層、 $E_g\geq 1.9\text{eV}$ の非晶質半導体層、パッシベーション絶縁層を順次形成する工程と、しかる後層間絶縁絶縁層を形成した後、前記ガラス基板上面からの研磨方法で、前記感光性層間絶縁層を除去し、

ゲート電極と同一パターンを形成される工程と、このパターンをマスクとして露光パッシベーション層を形成する工程と、露光パッシベーション層をマスクとして、露光成いはV型イオンを導入し、ソース・ドレイン領域を形成する工程とを含むことを特徴とする薄膜トランジスタの製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は液晶テレビ用薄膜トランジスタアレイ等に利用される薄膜トランジスタ及びその製造方法に関する。

(従来の技術)

従来液晶テレビ用の薄膜トランジスタとして用いられているものとしてはアモルファスシリコンを用いたものが代表的である。第2図に本発明と対応すべき従来の素子構造を示してある。N1はゲートをゲート電極12とする逆スタガ構造の薄膜トランジスタの断面図である。11はガラス基板で、13は SiO_2 、14は SiN (水素化アモルファスシリコンナイトライド)、15は SiO_2 、16は SiN (水素化アモルファスシリコンナイトライド)。

シリコン）膜でこれらはプラズマCVD法を
 用いて逐層的に成長させている。15はオーミック
 コンタクト用の n^+ -Si；16は、15はT1/
 N^+Ac 電極である。ソース・ドレイン電極となる
 15、16は蒸着法で形成している。

(魂明が解決しようとする同種点)

荷重の伝達の経路に異いて、背面側光法を用いて目に集合的にフーズ・ドレインを形成するとき、又は隔壁アモルファスシリコン—5—14を通過してその上部の透光性樹脂層面を透光する必要がある。

しかし、通常アモルファスシリコン α -Siの光学的禁止帯幅は1.7~1.8 eVであるから、通常用いられている赤外線領域の光線で増光性樹脂塗膜を透過されるためには足得間の増光が必要でスループットが極めて低い。このため α -Si 14の厚さを100~200Åの極く薄くしてできるだけ透過する光量を多くするようにしている。しかし、あまり薄くするとV、やドレイン電流の再現性等に問題がでてくる。

ーセッション面をマスクとして、電極液はいちど液イオンを投入し、ソース・ドレイン領域を形成する工程とを反する方法である。

(卅 四)

ゲート電極をマスクとする背面露光でゲート電極と自己整合的にソース及びドレインを形成するために装置上の透光性絶縁膜に十分光が届く必要がある。光の透過を妨げるものはアモルファスシリコン α -Siによる光吸収である。従って、本発明は、光学的禁止帯幅1.9eV以上の半導体すなわちアモルファスシリコン α -Si自体の光学的禁止帯幅を大きくするか光学的禁止帯幅の大きい材料であるアモルファスシリコンカーバイド α -SiC取扱いはアモルファスシリコンナイトライド α -Si₃N₄のいずれかを用いる。本発明によれば、背面露光により、ゲート電極とソース、ドレインを自己整合で確実に形成でき、真性値な薄膜トランジスタを得ることが可能となる。

(2: 20)

近性腺としてSICを用いた場合について説明

本発明は上記問題を解決するためのもので、
ソース・ドレイン間のリーク電流の低減あるいは
耐熱性向上等のための手段、構造を有する薄膜ト
ランジスタ及びその製造方法を提供することを目
的とするものである。

(同 2 点を解決するための手段)

本発明は、上記目的を達成するために、シリコン—金属を異性元素とし、非晶質半導体を活性層とする薄膜トランジスタにおいて、前記半導体の光学的禁止帯幅（ E_g ）が $E_g = 1.90 \text{ V}$ 以上とするものである。

また、本発明の製造方法は、ガラス基板上に、光を透過させないゲート電極を形成した後、ゲート絶縁膜、 $E_g \approx 1.9 \text{ eV}$ の非晶質半導体層、パッシベーション絶縁層を順次形成する工程と、しかる後導光性樹脂塗布を後述した後、上記ガラス基板裏面からの導光端光線で、所記導光性樹脂塗布を焼入れ、ゲート電極と同一パターンを形成される工程と、このパターンをマスクとして所記パッシベーション膜を蝕食する工程と、上記パッシベ

する。図1図Aにおいて1はガラス基板、2はゲートとなるCr電極である。ゲート電極2を選択形成膜、例えばプラズマCVD法でゲート絶縁膜となるシリコン窒化(シリコンナイトライド、SiN)膜3を2000Å、保護膜となる α -SiC(アモルファスシリコンカーバイド)膜4を800Å及びパッシベーション膜となるシリコン窒化膜(Si₃N₄)5を3000Å連続的に形成する。先ず的膜を形成E₁が1.2eV以下であり保護膜となるSiC薄膜はプラズマCVD法又はE₂CrプラズマCVD法で、例えばSiH₄とCH₄を用いて形成することができる。しかる後、全面に感光性樹脂塗布膜6を全面に塗布した後、ガラス基面側から、所定ゲート電極2をマスクとして光を用いて所定塗布膜6を露光し、図1図Bに示すように所定ゲート電極2と同一形状に所定被膜6のパターン6aを露光させた後(図1図B)、所定パターン6aをマスクとしてパッシベーション膜5を選択的に露光して膜5のパターン5aを形成する(図1図C)。しかる後、所定パターン6aを露光後、露光するパッシベーション

図パターン5aをマスクとしてイオンシャワードーピング法によりリンPを導入し、ソース・ドレイン領域形成領域16, 17を形成した後、第1図Eに示すごとくアモルファスシリコンカーバイドa-SiCの島領域を形成する。その後、例えばアルミニウムを蒸着し、ソース・ドレイン領域等の電極18, 19を形成する事により素子が完成する。なお、オーミック性を改善するため、第1図Dは第1図Dのち、P-CVD法でn'-a-Si膜を形成してもよい。また、アモルファスシリコンカーバイドa-SiC膜4の代わりに、アモルファスシリコンナイトライドa-SiNを用いてもよく、あるいはアモルファスシリコンa-Siの光学的止層としてもよい。

(発明の効果)

本発明の薄膜トランジスタによれば、背面露光にて確実にソース・ドレインを形成することができ、ゲート領域と同じ厚さのパッシベーション膜を形成し、それをマスクとしてアモルファスシリコンカーバイドa-SiC等の非晶質膜に不純物を

導入することが出来るため、ゲート電極とソース・ドレイン領域との位相ずれによる容量がなくなり、寄生容量による遅延等を除外ができる。

又本発明の製造方法によれば、背面露光法が工程に有利に用いられるため、工程数の短縮化にもつながるだけでなく、光学的防止層が大きい半導体膜を用いるため、リーク電流の減少、薄膜下の耐熱性、更にアモルファスシリコンカーバイドa-SiCにおいて特に暴露部の向上が可能となる。

4. 図面の簡単な説明

第1図は本発明の一例における薄膜トランジスタの製造プロセス断面図、第2図は従来の自己整合型a-Siトランジスタの断面図である。

- 1 ... ガラス基板、2 ... ゲート電極
(Cr電極)、3 ... ゲート絶縁膜、4 ...
a-SiC膜、5 ... パッシベーション膜、
6 ... 透光性絶縁膜。

